

Family list2 family member for: **JP7318965**

Derived from 1 application

1 DISPLAY DEVICE**Inventor:** NAKAYAMA YOSHIKO; MAEKAWA
TOSHIICHI**Applicant:** SONY CORP**EC:****IPC:** G02F1/1345; G02F1/136; G02F1/1368 (+**Publication info:** JP3208997B2 B2 - 2001-09-17**JP7318965 A** - 1995-12-08Data supplied from the *esp@cenet* database - Worldwide

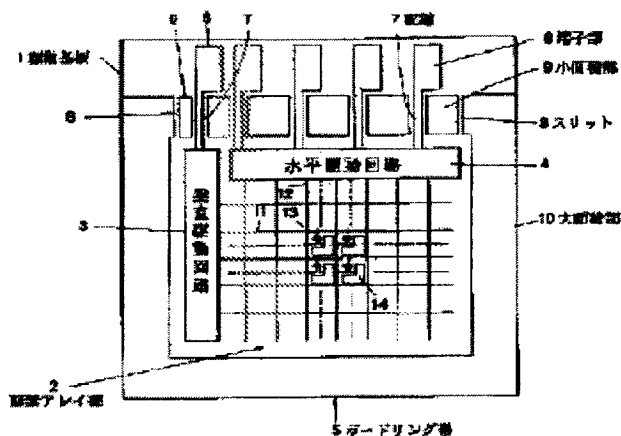
DISPLAY DEVICE

Patent number: JP7318965
Publication date: 1995-12-08
Inventor: NAKAYAMA YOSHIKO; MAEKAWA TOSHIICHI
Applicant: SONY CORP
Classification:
- international: **G02F1/1345; G02F1/136; G02F1/1368; G02F1/13;**
(IPC1-7): G02F1/1345; G02F1/136
- european:
Application number: JP19940135186 19940524
Priority number(s): JP19940135186 19940524

[Report a data error here](#)

Abstract of JP7318965

PURPOSE:To absorb the electrostatic damage of a display device in a manufacturing process. **CONSTITUTION:**The display device is provided with a panel structure provided with a drive substrate 1, a counter substrate and an electrooptical substance layer held between both substrates. A pixel array part 2 and a drive circuit part are accumulated and formed on the drive substrate 1. The drive circuit part is separated into a vertical drive circuit 3 and a horizontal drive circuit 4. A conductive guard ring belt 5 is formed so as to surround the pixel array part 2 and the drive circuit part. Terminal parts 6 for connecting with the outside are arranged on the outside of the guard ring belt 5. Wiring 7 are formed for connecting the outside terminal parts 6 to the inside drive circuit part while traversing the guard ring belt 5. The guard ring belt 5 is provided with small area parts 9 and large area parts 10 electrically separated each other by slits 8. The small area parts 9 attain a role as buffer areas for electrostatic charge by interposing between the large area parts 10 and the wiring 7.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-318965

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

G 0 2 F 1/1345

1/136

識別記号

庁内整理番号

F I

技術表示箇所

5 0 0

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平6-135186

(22) 出願日 平成6年(1994)5月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中山 佳子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

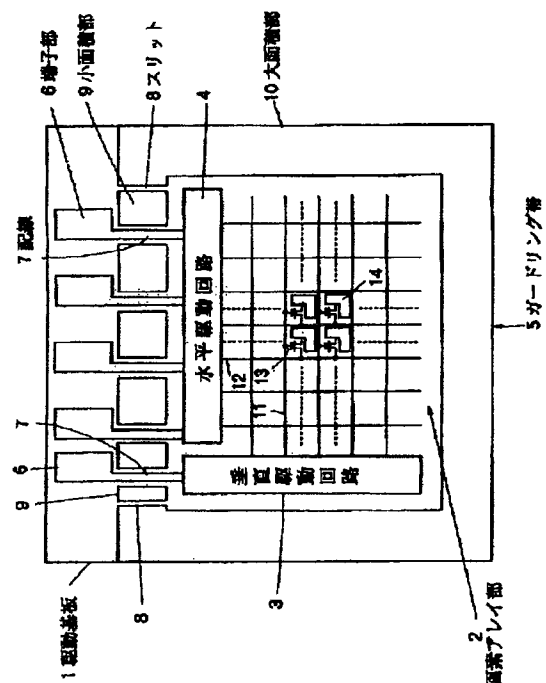
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 表示装置の製造プロセス中における静電ダメージを吸収する。

【構成】 表示装置は駆動基板1と対向基板と両者の間に保持された電気光学物質層とを備えたパネル構造を有する。駆動基板1には画素アレイ部2と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路3と水平駆動回路4とに分かれている。画素アレイ部2と駆動回路部とを囲む様に導電性のガードリング帯5が形成されている。ガードリング帯5の外側には外部接続用の端子部6が配置している。ガードリング帯5を横切って外側の端子部6を内側の駆動回路部に接続する為、配線7が形成されている。ガードリング帯5はスリット8によって互いに電気的に分離した小面積部9と大面積部10とを有している。小面積部9は大面積部10と配線7との間に介在して静電気の帯電に対する緩衝領域としての役割を果たす。



【特許請求の範囲】

【請求項 1】 駆動基板と対向基板と両者の間に保持された電気光学物質層とを備えたパネル構造を有し、前記駆動基板には画素アレイ部と、駆動回路部と、両者を囲む導電性のガードリング帯と、その外側に配置した外部接続用の端子部と、該ガードリング帯を横切って外側の端子部を内側の駆動回路部に接続する配線とが形成されている表示装置であって、

前記ガードリング帯はスリットによって互いに電氣的に分離した小面積部と大面積部とを有しており、

前記小面積部は該大面積部と該配線との間に介在して静電気の帯電に対する緩衝領域になる事の特徴とする表示装置。

【請求項 2】 前記大面積部は追加のスリットにより電氣的に細分化されており帯電の分散化を図る事の特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記電気光学物質層は液晶からなり、前記駆動基板の表面は液晶の配向制御の為ラビング処理が施され、前記小面積部は少なくともラビング処理により該大面積部に帯電する静電気に対して該配線を保護する緩衝領域になる事の特徴とする請求項 1 記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリクス型の表示装置に関する。より詳しくは、基板に集積形成された画素アレイ部と駆動回路部とを囲むガードリング帯の構造に関する。

【0002】

【従来の技術】図 4 を参照して従来の表示装置の一般的な構成を簡潔に説明する。図示する様に、表示装置は駆動基板 101 と対向基板 102 と両者の間に保持された電気光学物質層 103 とを備えたパネル構造を有する。電気光学物質層 103 としては液晶材料等が広く用いられている。駆動基板 101 には画素アレイ部 104 と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路 105 と水平駆動回路 106 とに分かれている。又、駆動基板 101 の周辺部上端には外部接続用の端子部 107 が形成されている。端子部 107 は配線 108 を介して垂直駆動回路 105 及び水平駆動回路 106 に接続している。

【0003】

【発明が解決しようとする課題】図 5 は駆動基板の平面パターン図である。一般に、駆動基板の表面には周辺部に沿って導電性のガードリング帯 109 が形成されており、内側の画素アレイ部及び駆動回路部（図示せず）を囲んでいる。ガードリング帯 109 の外側に配置した端子部 107a、107b、107c と内側の駆動回路部とを互いに接続する為、ガードリング帯 109 を横切る様に配線 108a、108b、108c がパタニング形

成されている。ガードリング帯 109 は窓枠状に形成されており、一对の駆動基板と対向基板とを互いに接着するシール領域に沿って設けられている。ガードリング帯 109 はアルミニウム等の金属膜からなり画素アレイ部を縁取る様に外部入射光を遮光している。又、配線 108a、108b、108c の段差を埋める様に配設され、シール領域に沿って駆動基板表面を平坦化している。

【0004】ガードリング帯 109 は絶縁性を有する駆動基板の表面に電氣的フローティング状態で形成されており、静電気が帯電しやすい。ガードリング帯 109 は比較的大面積であり、製造プロセス中に多量の静電気を蓄積する。この為、隣接する配線 108a、108c との間で製造プロセス中に放電が起り、周囲に静電ダメージを及ぼしやすいという課題がある。例えば、ガードリング帯 109 と配線 108a、108c との間の放電により、各配線に接続された入力保護回路の短絡破壊等が生じる。静電ダメージは大面積を有するガードリング帯 109 に隣接する配線 108a、108c で生じやすく、配線 108b はそれほど影響を受けない。

【0005】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はガードリング帯の帯電に基づく外部接続用端子周りの静電ダメージを防止する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち本発明にかかる表示装置は駆動基板と対向基板と両者の間に保持された電気光学物質層とを備えたパネル構造を基本とする。前記駆動基板には画素アレイ部と駆動回路部とが集積形成されている。又、両者を囲む導電性のガードリング帯と、その外側に配置した外部接続用の端子部も形成されている。さらに、ガードリング帯を横切って外側の端子部を内側の駆動回路部に接続する配線が形成されている。本発明の特徴事項として、前記ガードリング帯はスリットによって互いに電氣的に分離した小面積部と大面積部とを有している。小面積部は大面積部と配線との間に介在して、静電気の帯電に対する緩衝領域としての役割を果たす。好ましくは、前記大面積部は追加のスリットにより電氣的に細分化されており、帯電の分散化を図っている。本発明を具体化した態様では、例えば前記電気光学物質層は液晶からなり、前記駆動基板の表面は液晶の配向制御の為ラビング処理が施されている。かかる構成において、前記小面積部は、少なくともラビング処理により該大面積部に帯電する静電気に対して該配線を保護する緩衝領域としての役割を果たす。

【0006】

【作用】本発明によれば、ガードリング帯はスリットによって小面積部と大面積部とに電氣的に分離されている。このスリットは外側の外部接続用端子部と内側の駆動回路部とを互いに接続する配線の近傍に位置しており、この結果小面積部は大面積部と該配線との間に介在

する事になる。製造プロセス中にガードリング帯の大面积部に帯電した静電気は隣接する小面積部に放電するが、これを飛び超えて配線に放電する確率は極めて低くなる。従って配線が静電ダメージを受ける惧れが顕著に小さくなる。一方小面積部は放電により静電ダメージを受ける事になるが、もともとフローティング状態にある為表示装置の動作自体に悪影響を及ぼす事はない。即ち小面積部はガードリング帯の大面积部に帯電する静電気に対して外部接続用端子部周りの配線等を保護する緩衝領域としての役割を果たす。

【0007】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の一実施例を示す模式的な平面図である。一般に表示装置は駆動基板と対向基板と両者の間に保持された電気光学物質層とを備えたパネル構造を有している。図1では本発明の理解を容易にする為、特に駆動基板1の平面パタンのみを示している。駆動基板1には画素アレイ部2と、駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路3と水平駆動回路4とを含んでいる。又、駆動基板1の周辺に沿って導電性のガードリング帯5がパタニング形成されている。ガードリング帯5は窓枠形状を有しており画素アレイ部2や駆動回路部(3, 4)を囲む様にパタニングされている。ガードリング帯5はアルミニウムもしくはアルミニウム合金等の金属膜からなり、画素アレイ部2の周辺を遮光している。又、電気的には絶縁性を有する駆動基板1の上でフローティング状態にある。ガードリング帯5の外側上部には外部接続用の端子部6が複数個形成されている。加えて、ガードリング帯5を横切って外側の端子部6を内側の駆動回路部

(3, 4)に接続する配線7も形成されている。図では模式的に5個の端子部6とこれに対応する5本の配線7とが表わされているが、実際には10個以上の端子部6が設けられ、垂直駆動回路3や水平駆動回路4に対して所定の電源電圧、クロック信号、ビデオ信号等を供給できる様にしている。

【0008】図示する様に個々の配線7はガードリング帯5を横切る様に設けられており、各配線7の通路に沿ってガードリング帯5は分断されている。この部分では、分断されたガードリング帯5が配線7の段差を埋めており、駆動基板1の表面を平坦化している。

【0009】本発明の特徴事項として、ガードリング帯5はスリット8によって互いに電気的に分離した小面積部9と大面积部10とを有している。小面積部9は大面积部10と配線7との間に介在しており、静電気の帯電に対する緩衝領域としての役割を果たす。即ち製造プロセス中でガードリング帯5の大面积部10に帯電した静電気は隣接する小面積部9に向って容易に放電するが、これを飛び超えて配線7に放電する確率が極端に低くなる。この為端子部6周りの静電ダメージを顕著に防ぐ事

が可能になる。例えば、端子部6に対応して設けられる入力保護回路の短絡故障等を効果的に防げる。一方、小面積部9に対して大面积部10からの放電により静電ダメージが加わるが、この小面積部9はもともとフローティング状態にあり、駆動基板1の動作に悪影響を及ぼす事はない。なお、図から容易に理解される様に、複数の配線7のうち、ガードリング帯5に最も近い両端の2本が静電ダメージを受けやすく、ガードリング帯5から遠い中央に位置する3本の配線7はもともと静電ダメージを受ける確率が低い。この為、両側に位置する2本の配線7に対する緩衝領域として、本例では2個の小面積部9が左端側及び右端側に設けられている。即ち、本発明では少なくとも2個の小面積部9を設ける事が必須の構成要件となっている。

【0010】参考の為、画素アレイ部2の構成を説明する。図示する様に、画素アレイ部2には行状のゲートライン11と列状のデータライン12が互いに交差する様に配列している。各ゲートライン11とデータライン12との交点に薄膜トランジスタ13が形成されている。又画素電極14も形成されている。各薄膜トランジスタ13のゲート電極は対応するゲートライン11に接続され、ソース電極は対応するデータライン12に接続され、ドレイン電極は対応する画素電極14に接続している。行状のゲートライン11は垂直駆動回路3に接続される一方、列状のデータライン12は水平駆動回路4に接続している。垂直駆動回路3は外部接続用の端子部6から供給されるクロック信号に応じて動作し、ゲートライン11を線順次走査する。これにより、薄膜トランジスタ13が行毎に導通する。一方水平駆動回路4は外部接続用端子部6から供給されるクロック信号に応じて動作し、同じく外部接続用端子部6から供給されるビデオ信号を各データライン12にサンプリングする。サンプリングされたビデオ信号は導通状態にある薄膜トランジスタ13を介して画素電極14に書き込まれ、所望の画像表示が行なわれる。

【0011】図2は本発明にかかる表示装置の他の実施例を示す模式的な平面図である。基本的な構成は、図1に示した実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、ガードリング帯5の大面积部10が、追加のスリット15により電気的に細分化されている事であり、帯電の分散化を図っている。本例では、略コの字状の大面积部10が、4本の追加スリット15により5分割されている。これにより、細分化された個々の大面积部10に蓄積される静電荷の絶対量が小さくなる為、静電ダメージも低減化できる。

【0012】図3は、本発明にかかる表示装置の断面構造を表わしている。図示する様に、表示装置は下側の駆動基板1と上側の対向基板21と両者の間に保持された電気光学物質層22とからなるパネル構造を有してい

る。電気光学物質層 22 としてはツイストネマティック配向した液晶等が広く用いられている。駆動基板 1 と対向基板 21 はシール材 23 により互いに接合されている。前述した様に駆動基板 1 の内表面には画素アレイ部と駆動回路部と両者を囲むガードリング帯 5 とが形成されている。図では、画素アレイ部に含まれる 1 個の薄膜トランジスタ 13 と対応する画素電極 14 のみを示している。一方対向基板 21 の内表面には対向電極 24 が形成されている。

【0013】薄膜トランジスタ 13 は所定の形状にパタニングされた半導体薄膜 25 を素子領域とし、その上にゲート絶縁膜 26 を介してゲート電極 G がパタニング形成されている。このゲート電極 G は図 1 に示したゲートライン 11 の一部からなる。かかる構成を有する薄膜トランジスタ 13 は層間絶縁膜 27 により被覆されている。この層間絶縁膜 27 の上に画素電極 14 がパタニング形成され、薄膜トランジスタ 13 のドレイン領域と連通している。又データライン 12 も形成されており、薄膜トランジスタ 13 のソース領域に連通している。

【0014】駆動基板 1 の周辺に沿って内側の画素アレイ部等を囲む様にガードリング帯 5 が窓枠状にパタニング形成されている。ガードリング帯 5 はアルミニウムやアルミニウム合金等の金属膜からなり層間絶縁膜 27 の上に成膜されている。電気的にはフローティング状態にあり容易に静電気が帯電する。例えば、電気光学物質層 22 として液晶材料を用いた場合、駆動基板 1 の内表面は液晶の配向制御の為ラビング処理が施される。このラビング処理は綿布等で基板表面を一定方向に摩擦するものであり、大量の静電気が発生しガードリング帯 5 に蓄積される。この点に鑑み、本発明ではガードリング帯 5 を前述した様に小面積部と大面積部に分けている。小面積部は外部接続用端子に結線した配線と大面積部との間に介在する。ラビング処理により大面積部に帯電した多量の静電気は小面積部に放電され、配線に対する静電ダメージを防止している。なお、製造プロセス中における静電気の帯電原因はラビング処理に限られるものではなく、あらゆる帯電に対して本ガードリング帯に設けられた小面積部は有効な緩衝領域を構成する。

【0015】

【発明の効果】以上説明した様に、本発明によれば、ガードリング帯がスリットによって互いに電氣的に分離した小面積部と大面積部とを有しており、小面積部は大面積部と接続配線との間に介在して静電気の帯電に対する緩衝領域としての役割を果たす。これにより、製造プロセス中ガードリング帯に帯電する静電気に対して接続配線周りを効果的に保護する事が可能になり、製造歩留りの大幅な改善が達成できる。

【図面の簡単な説明】

【図 1】本発明にかかる表示装置の一実施例を示す模式的な平面図である。

【図 2】本発明にかかる表示装置の他の実施例を示す模式的な平面図である。

【図 3】本発明にかかる表示装置のパネル構造を示す模式的な断面図である。

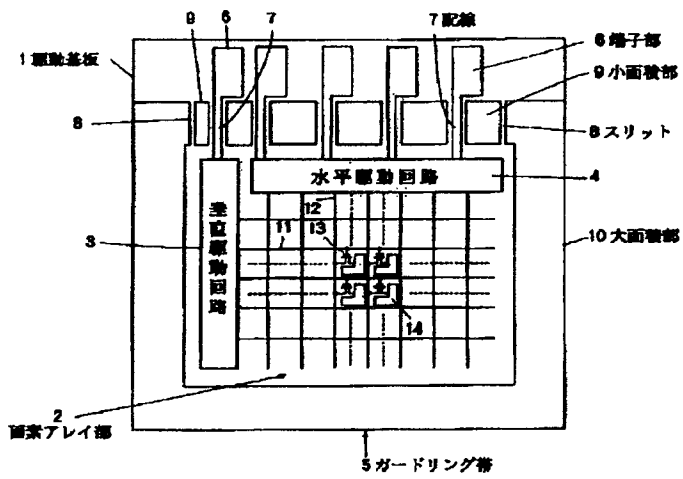
【図 4】一般的な表示装置の構成を示す模式的な斜視図である。

【図 5】従来の表示装置のボタン構成例を示す模式的な平面図である。

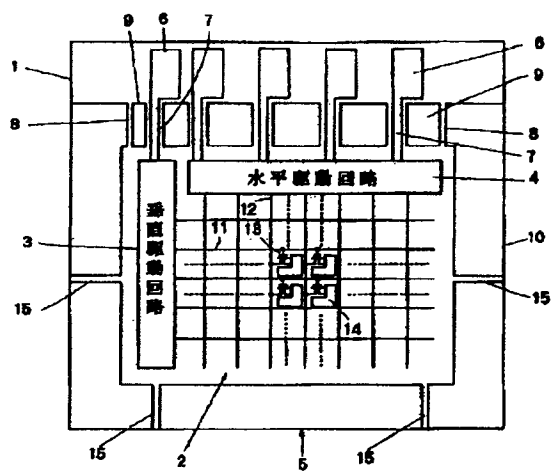
【符号の説明】

- | | |
|----|----------|
| 1 | 駆動基板 |
| 2 | 画素アレイ部 |
| 3 | 垂直駆動回路 |
| 4 | 水平駆動回路 |
| 5 | ガードリング帯 |
| 6 | 端子部 |
| 7 | 配線 |
| 8 | スリット |
| 9 | 小面積部 |
| 10 | 大面積部 |
| 11 | ゲートライン |
| 12 | データライン |
| 13 | 薄膜トランジスタ |
| 14 | 画素電極 |
| 15 | 追加スリット |
| 21 | 対向基板 |
| 22 | 電気光学物質層 |
| 23 | シール材 |
| 24 | 対向電極 |

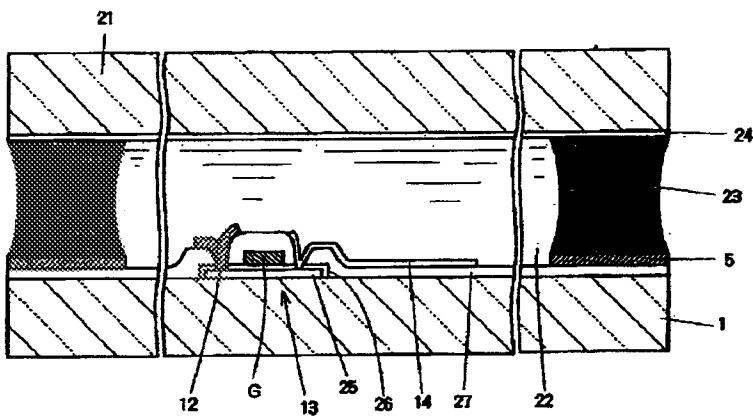
【図1】



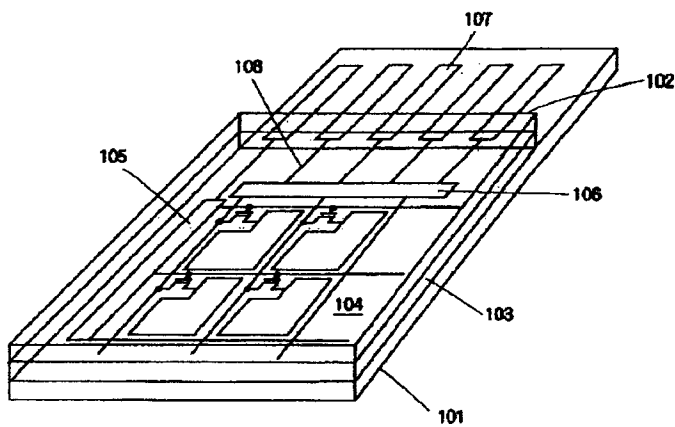
【図2】



【図3】



【図4】



【図5】

